

L Number	Hits	Search Text	DB	Time stamp
1	169	(cavity adj down) same (bga or array)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 14:10
2	1387	(heat adj (spreader or sink)) and (substrate with (cavity or recess))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 14:11
3	826	((heat adj (spreader or sink)) and (substrate with (cavity or recess))) and (via\$2 or (through adj hole))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 14:13
4	317	((heat adj (spreader or sink)) and (substrate with (cavity or recess))) and (via\$2 or (through adj hole))) and ball	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 14:13
5	78	((heat adj (spreader or sink)) and (substrate with (cavity or recess))) and (via\$2 or (through adj hole))) and ball) and (ground with (pad\$2 or trace or land))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 14:14
6	76	((heat adj (spreader or sink)) and (substrate with (cavity or recess))) and (via\$2 or (through adj hole))) and ball) and (ground with (pad\$2 or trace or land))) and (chip or die)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 14:55
7	179	257/707.ccls. and ball\$2	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:09
8	6	6218731.URPN.	USPAT	2002/12/12 15:06
9	2	("5677575" "5731709").PN.	USPAT	2002/12/12 15:06
10	301	(cavity adj down) and (chip or die)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:25
11	17	(offset near pad) and bga	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:27
12	33	(offset near (via or (through adj hole))) and (chip or die) and ball	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:38
13	36	(offset near pad) and (chip or die) and ball	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:40
14	21	((offset near pad) and (chip or die) and ball) not ((offset near pad) and bga)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:43
15	773	257/780.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:43

16	1285	257/784.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:43
17	952	257/738.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:43
18	1187	257/737.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:43
19	155	257/732.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:43
20	462	257/782.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:44
21	876	257/706.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:44
22	1424	257/774.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:45
23	554	257/776.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:45
24	1251	257/786.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:45
25	222	257/774.ccls. and ball	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:50
26	95	257/774.ccls. and offset	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/12/12 15:50

L Number	Hits	Search Text	DB	Time stamp
-	75	(cavity adj down) with bga	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/12/11 14:04

CLIPPEDIMAGE= JP02000332160A

PAT-NO: JP02000332160A

DOCUMENT-IDENTIFIER: JP 2000332160 A

TITLE: CAVITY-DOWN SEMICONDUCTOR PACKAGE

PUBN-DATE: November 30, 2000

INVENTOR-INFORMATION:

NAME

MIHARA, YOSHIKAZU

YAMAMOTO, TOSHISHIGE

COUNTRY

N/A

N/A

ASSIGNEE-INFORMATION:

NAME

SUMITOMO METAL ELECTRONICS DEVICES INC

SUMITOMO METAL IND LTD

COUNTRY

N/A

N/A

APPL-NO: JP11143103

APPL-DATE: May 24, 1999

INT-CL (IPC): H01L023/28;H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To greatly omit the number of laminating steps for reducing cost and facilitate the wiring design for adjusting characteristic impedances or preventing crosstalks by forming a wiring layer on an insulation layer, formed on a metal plate having a recess for mounting a semiconductor chip.

SOLUTION: This cavity-down semiconductor package comprises an insulation layer 121 on a heat sink plate 103, having a recess C for mounting a semiconductor chip 101 and a wiring layer 119 on the insulation layer 121. The semiconductor chip 101 is thus mounted directly on the heat sink plate 103 and hence superior

in heat radiation. Since the plate 103 is formed in a concave form to allow the heights of the chip 101, wire bonding pads 107 are made easily adjustable. GND pads of the semiconductor chip are connected directly to the heat sink plate, and hence the wiring density of signal traces, etc., formed on the surface layer of the semiconductor package can be improved.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-332160
(P2000-332160A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 23/28		H 0 1 L 23/28	B 4 M 1 0 9
23/12		23/12	L

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平11-143103

(22) 出願日 平成11年5月24日 (1999. 5. 24)

(71) 出願人 391039896

株式会社住友金属エレクトロデバイス
山口県美祢市大嶺町東分字岩倉2701番1

(71) 出願人 000002118

住友金属工業株式会社
大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 三原 芳和

山口県美祢市大嶺町東分字岩倉2701番1
株式会社住友金属エレクトロデバイス内

(74) 代理人 100064746

弁理士 深見 久郎 (外1名)

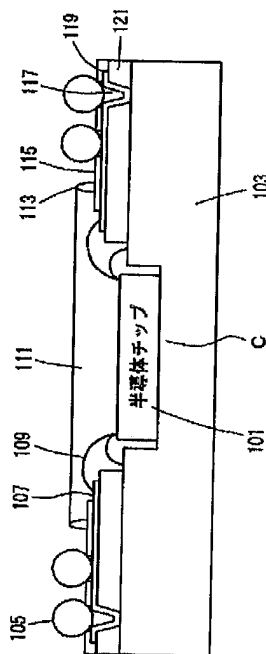
最終頁に続く

(54) 【発明の名称】 キャビティダウン型半導体パッケージ

(57) 【要約】

【課題】 積層工程数が少なく、低コストで製造することができるキャビティダウン型半導体パッケージを提供する。

【解決手段】 キャビティダウン型半導体パッケージは、半導体チップ101を搭載するための凹部Cが形成された放熱板103と、放熱板の上に形成される絶縁層121とを備え、絶縁層の上に1層の配線層119が形成されていることを特徴としている。



【特許請求の範囲】

【請求項1】 半導体チップを搭載するための凹部が形成された金属板と、
前記金属板の上に形成される絶縁層とを備え、
前記絶縁層の上に1層の配線層が形成されていることを特徴とする、キャビティダウン型半導体パッケージ。

【請求項2】 前記金属板はグラウンド電位に保たれる、請求項1に記載のキャビティダウン型半導体パッケージ。

【請求項3】 前記半導体チップのグラウンド端子と前記金属板とはボンディングワイヤで接続されることを特徴とする、請求項1または2に記載のキャビティダウン型半導体パッケージ。

【請求項4】 前記絶縁層は感光性樹脂液または感光性樹脂フィルムにより形成される、請求項1から3のいずれかに記載のキャビティダウン型半導体パッケージ。

【請求項5】 前記絶縁層の層厚は50μm以下であり、前記配線層の配線幅は50μm以下、かつ前記配線層の配線間の距離は50μm以下であることを特徴とする、請求項1に記載のキャビティダウン型半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はキャビティダウン型半導体パッケージに関し、特に設計が容易なキャビティダウン型半導体パッケージに関する。

【0002】

【従来の技術】半導体用パッケージには種々の形態があるが、近年、小型・薄型化、多端子化、高密度化、低コスト化などの要求から、PBGA（アラスチックボールグリッドアレイ）が多く使用されている。

【0003】図7に示すように、PBGAは、両面にCu箔（導体層231）を貼ってパターン形成された絶縁基板（絶縁層221）の中央に、半導体チップ201を搭載するための半導体チップ搭載部223を備える。その半導体チップ搭載部223の周辺部には、半導体チップ201とワイヤ209で接続を行なうためのボンディングパッド部225が形成されている。

【0004】半導体チップ搭載部223の反対の面には、PBGAをPCB（プリントサーキットボード）に接続するための格子状に並んだはんだパッド（はんだボール205が設けられる部分）が形成されている。パッケージの表と裏との導体層231は、めっきされたスルーホール（ビアホール）217により電氣的に接続されている。

【0005】半導体チップ搭載部223、ボンディングパッド部225、およびはんだパッドを除くPBGAの表面には、導体パターンを保護するためのはんだレジスト膜215が形成されている。半導体チップ201は、Agペーストなどからなる接着剤によりPBGAにダイ

ボンディングされる。また、半導体チップ201は、ワイヤ209によりPBGAの導体パターンに接続される。また、半導体チップ201は、モールド樹脂211により封止される。

【0006】このようにして作られたPBGAは、小型・薄型で多端子、高密度な配線を実現できるという特徴を有している。

【0007】さらに、上述のPBGAの電氣的特性を向上させるため、多層構造としたPBGAも広く使用されている。

【0008】しかしながら、そのようなPBGAでは、BTレジン、FR-4といった熱伝導率の比較的悪い材料を絶縁層に用いているため、放熱性が悪いといった問題があった。

【0009】このような問題を解決するために、特開平7-321250号公報においては、熱伝導体を備える玉格子アレイ集積回路パッケージ（積層PBGA）が提案されている。この玉格子アレイ集積回路パッケージの構成を、図8に示す。

【0010】図8を参照して、積層PBGAの半導体チップ実装部には、キャビティ（凹部）Cが設けられる。配線層（導体層）231aと同じ層にはんだボール205が設けられるはんだパッドが形成される。配線層231aと反対の側の全面に金属板（放熱板）203が接着される。このような構造は、キャビティダウン構造と呼ばれる。

【0011】半導体チップ201は、配線層231aの側から露出した金属板203に直接接着されるため、半導体チップ201の熱は直接金属板203に放熱される。よって、より高発熱な半導体チップを搭載することができる。

【0012】また、配線層231aの下にグラウンド（GND）ベタ層231bを設けることにより、電氣特性の改善が行なわれている（インダクタンス低減、クロストークノイズの低減、特性インピーダンスのコントロールなど）。

【0013】配線層231aには、GND用のリングパターンが形成され、半導体チップ201とはワイヤ209を介して接続されている。また、GND用のリングパターンとGNDベタ層231bとは、キャビティCの側面に形成された銅のパターンにより接続される。GNDベタ層231bは、GND用はんだパッドに対してスルーホールにより接続される。このスルーホールは、ドリル加工により形成される。スルーホールの壁面は銅めっきされる。

【0014】通常、半導体チップ201と配線層231aとの高さを調整するため、放熱板203とGNDベタ層231bとの間に金属リング233が積層される。

【0015】以上のようにして構成された、熱伝導体（金属板203）を備える玉格子アレイ集積回路パッ

ージは、放熱性、電気特性に優れている。

【0016】

【発明が解決しようとする課題】しかしながら、従来の技術における半導体パッケージは以下の問題点を有していた。

【0017】配線層の上面を半導体チップ上面よりも高くするために、ビルドアップ配線層間に金属リングなどを挿入する必要があった(図8)。この場合、金属リングの挿入によりさらに積層数が増加することとなり、コスト高となっていた。また、上記の方法によりパッケージを形成した場合、金属リングと絶縁樹脂層との間で剥離が生じる可能性があるため、パッケージの信頼性が低下するという問題があった。

【0018】一方、BTレジンで配線層を形成した場合は(図8)、絶縁層が厚くなるため、特性インピーダンスを制御するためには配線幅を大きくする必要があった。また、配線層はサブトラクティブ法(銅張積層板を出発材料として銅箔を溶解除去する方法)で形成されているため配線幅が大きくなっていた。したがって、これらの理由によりパッケージ配線の高密度化を図ることができなかった。高密度化の対策として配線層を積層化することが考えられるが、前述と同様にコスト高、信頼性の点で問題があった。

【0019】これらの問題を解決する方法として、絶縁層の薄膜化、および配線層の微細化がなされたビルドアップ法が有効であるが、配線層を多層積層した場合、2層目以降の信号線がグランドベタ層から離れて、かつ下層配線層の上側に存在している。したがって、特性インピーダンスの調整のため、また下層配線層とのクロストークを防止するため、グランドベタ層を新たに設ける必要があった。これは、さらに積層数が増加するため上記のような問題があった。

【0020】また、新たなグランドベタ層を設けない場合には、上記の場合に比べて、積層数は増加しないが、特性インピーダンス調整のため2層目以降の信号線幅を大きくする必要があり、下層配線層とのクロストークを防止するため、配線の微妙な調整が必要になるなど、配線設計が複雑であった。

【0021】この発明は、上述の問題点を解決することができるキャビティダウン型半導体パッケージを提供することをその目的としている。

【0022】

【課題を解決するための手段】上記目的を達成するためこの発明のある局面に従うと、キャビティダウン型半導体パッケージは、半導体チップを搭載するための凹部が形成された金属板と、金属板の上に形成される絶縁層とを備え、絶縁層の上に1層の配線層が形成されていることを特徴とする。

【0023】この発明によると、積層工程数を大幅に省略することによりコストの低減化を図り、特性インピー

ダンス調整やクロストークを防止するための配線設計が容易となるキャビティダウン型半導体パッケージを提供することが可能となる。また、層間剥離を低減させ、信頼性の高いキャビティダウン型半導体パッケージを提供することが可能となる。さらに、金属板に凹部を形成しているため、金属リングなどの部材を省略できるという利点がある。

【0024】好ましくは、金属板はグランド電位に保たれる。さらに好ましくは、半導体チップのグランド端子と金属板とはボンディングワイヤで接続される。

【0025】さらに好ましくは、絶縁層は、感光性樹脂液または感光性樹脂フィルムにより形成される。

【0026】このように感光性薄膜を使用すると、配線幅を細くでき、高密度化が可能なキャビティダウン型半導体パッケージを提供することが可能となる。

【0027】さらに好ましくは、絶縁層の層厚は50μm以下であり、配線層の配線幅は50μm以下、かつ配線層の配線間の距離は50μm以下であることを特徴とする。

【0028】

【発明の実施の形態】以下に、本発明の実施の形態の1つにおけるキャビティダウン型半導体パッケージについて説明する。本実施の形態におけるキャビティダウン型半導体パッケージは、凹型に加工された放熱板(金属板)を有し、その放熱板の片面に感光性樹脂(感光性樹脂液または感光性樹脂フィルム)によりリング状に形成された絶縁層を有する。その絶縁層の表面には、配線層、はんだボール実装用パッドおよびワイヤボンディング用パッドがめっきにより形成される。はんだボール実装用パッドおよびワイヤボンディング用パッド部を除いてその表面ははんだレジストにより保護される。

【0029】半導体チップの信号および電源パッドは、ワイヤによりパッケージ表層に形成されたワイヤボンディング用パッド部に接続される。

【0030】半導体チップのGNDパッドは、ワイヤにより放熱板に接続される。GNDのはんだボール実装用パッドは、絶縁層に形成されたビアホールにより放熱板に接続される。

【0031】半導体チップは、放熱板の凹部にダイボンディングされ、モールド樹脂により封止される。また、半導体チップ実装部の周囲にはモールド樹脂の流出を防止するためのリング状ダムが設けられる。

【0032】図1は、本発明の実施の形態の1つにおけるキャビティダウン型半導体パッケージの構成を示す断面図である。

【0033】図を参照して、キャビティダウン型半導体パッケージは、半導体チップを搭載するための凹部(キャビティ)Cが形成された放熱板(金属板)103と、放熱板103の上に形成される絶縁層121とを備え、絶縁層121の上に1層の配線層119が形成されてい

ることを特徴とする。

【0034】また、放熱板103はグランド電位に保たれる。そして、半導体チップ101のグランド端子と放熱板103とがボンディングワイヤ109で接続される。

【0035】そして絶縁層121は、感光性樹脂液または感光性樹脂フィルムにより形成される。

【0036】放熱板103の半導体チップ101を搭載する側の表面は、絶縁層121との密着性を向上させるために化学的に粗化されている。

【0037】放熱板103の外周部には、感光性の樹脂により絶縁層121が形成されている。また、絶縁層121の表面にはめっきにより形成された配線層119が設けられている。配線層119には、半導体チップ101とパッケージとをワイヤ109で接続するためのワイヤボンディング用パッドおよびパッケージをPCBに実装するためのはんだパッドが形成されている。

【0038】放熱板103は、半導体チップ101のGNDパッドとワイヤで接続され、配線層119に形成された信号トレースに対し良好なGND導体として働く。また、絶縁層121には、配線層119に形成されたGND用はんだパッドと放熱板103とを電氣的に接続するためのビア117が形成される。

【0039】ワイヤボンディングパッド部、およびはんだパッド部を除く配線層119の表面には、はんだボール105実装時のはんだ流れを防止するためのはんだレジスト115が塗布される。

【0040】半導体チップ101は、パッケージに搭載された後、ワイヤ109によりパッケージに接続される。そして、半導体チップ101は樹脂（モールド樹脂）111によりモールドされる。パッケージには、モールド樹脂の流れを防止するためのリング状のダム113が設けられている。

【0041】図2は、図1のキャビティダウン型半導体パッケージにおける半導体チップ101と配線層119との関係を示す平面図である。また、図3はキャビティダウン型半導体パッケージのはんだパッド部の平面図である。

【0042】図2を参照して、配線層119には信号線119aと電源線119bとが含まれる。半導体チップ101の端子のそれぞれと配線層119のパッドとはワイヤ109により接続される。また、半導体チップ101のGND端子が、放熱板103にワイヤ109により接続される。

【0043】図3を参照して、はんだパッド123ははんだレジスト開口部131により露出される。はんだパッド123同士の間には、信号トレース119aが付設される。ここでは、はんだパッド123同士の間に、6本の信号トレース119aを設けることとしている。

【0044】また、従来技術で行なわれていたようにエ

ッチングにより回路形成を行なった場合、 $L/S=80/50\mu\text{m}$ が限界であるのに対し、本実施の形態においては、めっき法により回路形成を行なうため、 $L/S=40/40\mu\text{m}$ 程度までの高密度化が可能となっている。

【0045】たとえば、 $10\times 10\text{mm}$ 程度の半導体チップをパッケージに搭載することを仮定すると、従来技術におけるPBGAではI/Oの数が約300までしか対応できないのに対し、本実施の形態におけるPBGAでは、I/Oの数を約500とすることができる。

【0046】図4は、本実施の形態におけるキャビティダウン型半導体パッケージの製造工程を説明するための図である。

【0047】まず、(A)に示されるように、プレス加工により凹型に形成された金属板103の片面を、マイクロエッチングや粗化めっきなどを用いることにより粗面化させる。

【0048】次に、(B)に示されるように、粗面化された金属板の表面に感光性の液状樹脂を塗布する。これにより、絶縁層121を形成する。なお、絶縁層の形成にあたっては、感光性樹脂シートを圧着してもよい。

【0049】次に、(C)に示されるように、露光と現像とを行なうことにより、キャビティC部分における不要な樹脂を除去するとともに、所定の位置にビア117を形成する。キャビティ部Cやビア117の底の金属面をきれいにする目的でデスミア処理を施す。

【0050】次に、(D)に示されるように、セミアディティブ、フルアディティブ法といった公知のめっき法を用いた配線形成処理により、配線の形成およびビアのめっきを施す。

【0051】次に、(E)に示されるように、配線を保護するため、はんだレジスト115を配線層表面に塗布する。そして、露光、現像によりワイヤボンディングパッド部とはんだパッド部とに塗布された余分なはんだレジストを除去する。

【0052】次に、(F)に示されるように、所定の位置にモールド樹脂のためのダム113を形成する。このようにして、キャビティダウン型半導体パッケージを製造することが可能となる。

【0053】また、上述の実施の形態においては、プレス加工により金属板を凹型に形成することとしたが、図5に示されるように、予め孔C1、C2をあけた金属シート103aを樹脂層103bを介して金属シート103cに接着することにより、その断面形状が図6に示されるようなキャビティCを有する金属板を形成し、これを用いてもよい。

【0054】本実施の形態における半導体パッケージによれば、半導体チップが放熱板に直接実装されるため、放熱性に優れるという利点がある。また、放熱板は凹型に加工されるため、半導体チップとワイヤボンディング

パッド部との高さを容易に調整することができるという利点がある。

【0055】また、半導体チップのGNDパッドはワイヤにより直接放熱板に接続される。このため、半導体パッケージの表層に形成する信号トレースや電源トレースの配線密度を向上させることができる。また、放熱板は表層の信号トレースに対して良好なGND導体として働くため、信号トレースの特性インピーダンスを制御でき、クロストークノイズなどの対策を行なうことができる。

【0056】さらに、放熱板はその厚みがベタ層に比べて厚いため、GNDの抵抗をより小さくすることができる。電源電圧降下をより小さくすることができる。

【0057】さらに、表層の配線層はめっきにより形成されるため、エッチングにより配線層を形成する従来のBGAパッケージに比べ、配線の高密度化が図れる。よって、多層化を行なう必要がなく、製造コストを下げることができるという利点も有している。

【0058】なお、絶縁層（図1における絶縁層121）の層厚は50μm以下とし、配線層（図1における配線層119）の配線幅は50μm以下とし、かつ配線層の配線間の距離は50μm以下とすることがパッケージ配線の高密度化の観点から望ましい。

【0059】なお、今回開示された実施の形態は全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図1】本発明の実施の形態の1つにおけるキャビティダウン型半導体パッケージの構成を示す断面図である。

【図2】図1のパッケージの半導体チップと配線層との接続を説明するための平面図である。

【図3】図1のパッケージのはんだボール部の構成を示す平面図である。

【図4】図1のパッケージの製造工程を説明するための断面図である。

10 【図5】放熱板の他の形成方法を説明するための斜視図である。

【図6】図5の工程により製造される放熱板の断面図である。

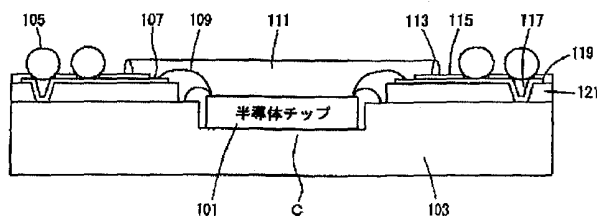
【図7】従来のPBGAの構成を示す断面図である。

【図8】従来の玉格子アレイ集積回路パッケージの構成を示す断面図である。

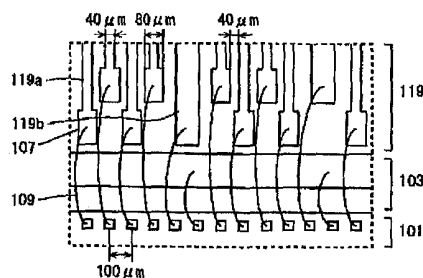
【符号の説明】

- 101 半導体チップ
- 103 放熱板（金属板）
- 105 はんだボール
- 107 ワイヤボンディングパッド
- 109 ボンディングワイヤ
- 111 モールド樹脂
- 113 ダム
- 115 はんだレジスト
- 117 ヴィア
- 119 配線層
- 121 絶縁層
- C キャビティ（凹部）

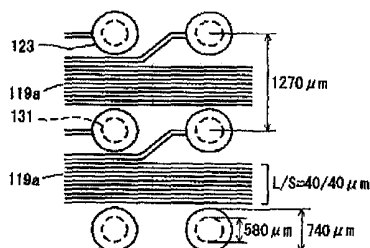
【図1】



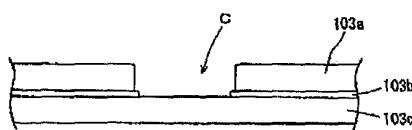
【図2】



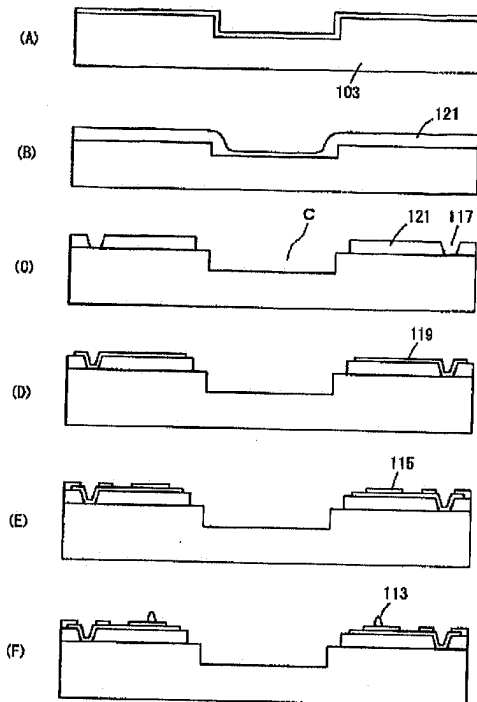
【図3】



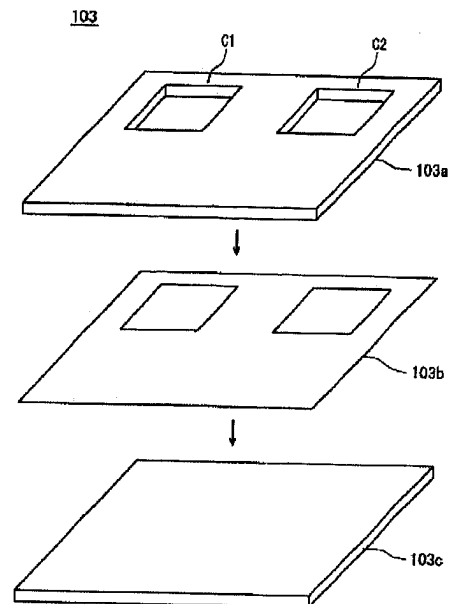
【図6】



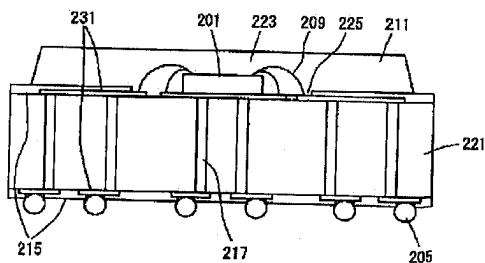
【図4】



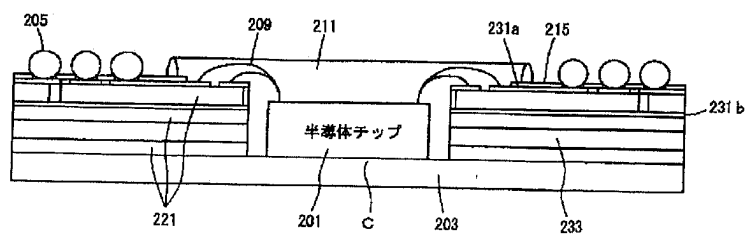
【図5】



【図7】



【図8】



(7)

特開2000-332160

フロントページの続き

(72)発明者 山本 利重
兵庫県尼崎市扶桑町1番8号 住友金属工
業株式会社エレクトロニクス技術研究所内

Fターム(参考) 4M109 AA01 BA04 CA06 DB03 DB06
GA05

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to a cavity down type semiconductor package especially with an easy design about a cavity down type semiconductor package.

[0002]

[Description of the Prior Art] Although there are various gestalten in the package for semiconductors, many PBGA(s) (plastics ball grid array) are used in recent years from the demand of small and thin-shape-izing, the formation of a many-items child, densification, low-cost-izing, etc.

[0003] PBGA is equipped with the semiconductor chip loading section 223 for carrying a semiconductor chip 201 in the center of the insulating substrate (insulating layer 221) by which stuck Cu foil (conductor layer 231) on both sides, and pattern formation was carried out to them as shown in drawing 7. The bonding pad section 225 for connecting with a semiconductor chip 201 with a wire 209 is formed in the periphery of the semiconductor chip loading section 223.

[0004] The solder pad (portion in which the solder ball 205 is formed) located in a line in the shape of [for connecting PBGA to PCB (print circuit board)] a grid is formed in the opposite field of the semiconductor chip loading section 223. The conductor layer 231 of the table of a package and the reverse side is electrically connected by the galvanized through hole (veer hole) 217.

[0005] The solder-resist film 215 for protecting a conductor pattern is formed in the front face of PBGA except the semiconductor chip loading section 223, the bonding pad section 225, and a solder pad. Die bonding of the semiconductor chip 201 is carried out to PBGA by the adhesives which consist of an Ag paste etc. Moreover, a semiconductor chip 201 is connected to the conductor pattern of PBGA by the wire 209. Moreover, a semiconductor chip 201 is closed with the mould resin 211.

[0006] Thus, made PBGA has the feature that a many-items child and high-density wiring are realizable with small and a thin shape.

[0007] Furthermore, in order to raise the electrical property of above-mentioned PBGA, PBGA made into multilayer structure is also used widely.

[0008] However, in such PBGA, since BT resin and a comparatively bad material of thermal conductivity called FR-4 were used for the insulating layer, there was a problem that thermolysis nature was bad.

[0009] In order to solve such a problem, in JP,7-321250,A, the ball grid array integrated circuit package (laminating PBGA) equipped with a conductor is proposed. The composition of this ball grid array integrated circuit package is shown in drawing 8.

[0010] With reference to drawing 8, Cavity (crevice) C is formed in the semiconductor chip mounting section of Laminating PBGA. The solder pad by which the solder ball 205 is formed in the same layer as wiring layer (conductor layer) 231a is formed. A metal plate (heat sink) 203 pastes up all over a wiring layer 231a side and an opposite side. Such structure is called cavity down structure.

[0011] Since a semiconductor chip 201 pastes up on the metal plate 203 exposed from the wiring layer 231a side directly, the heat of a semiconductor chip 201 radiates heat to the direct metal plate 203. therefore -- more -- high -- a semiconductor chip ****] can be carried

[0012] Moreover, the improvement of an electrical property is made by preparing grand (GND) solid layer 231b in the bottom of wiring layer 231a (inductance reduction, reduction of a cross talk noise, control of a characteristic impedance, etc.).

[0013] The ring pattern for GND is formed in wiring layer 231a, and it connects with it through the wire 209 in the semiconductor chip 201. Moreover, the ring pattern for GND and GND solid layer 231b are connected by the pattern of the copper formed in the side of Cavity C. GND solid layer 231b is connected by the through hole to the solder pad for GND. This through hole is formed of drilling. Copper plating of the wall surface of a through hole is carried out.

[0014] Usually, in order to adjust the height of a semiconductor chip 201 and wiring layer 231a, the laminating of the metal ring 233 is carried out between a heat sink 203 and GND solid layer 231b.

[0015] The ball grid array integrated circuit package equipped with a conductor (metal plate 203) constituted as mentioned above is excellent in thermolysis nature and the electrical property.

[0016]

[Problem(s) to be Solved by the Invention] However, the semiconductor package in a Prior art had the following troubles.

[0017] In order to make the upper surface of a wiring layer higher than the semiconductor chip upper surface, the metal ring etc. needed to be inserted between build-up wiring layers (drawing 8). In this case, the number of laminatings will increase further

by insertion of a metal ring, and it had become cost quantity. Moreover, since ablation may have arisen between a metal ring and an insulating resin layer when a package is formed by the above-mentioned method, there was a problem that the reliability of a package fell.

[0018] On the other hand, since (drawing 8) and an insulating layer became thick when a wiring layer is formed by BT resin, in order to control a characteristic impedance, wiring width of face needed to be enlarged. Moreover, since the wiring layer was formed with the subtractive process (how to carry out dissolution removal of the copper foil by making a copper clad laminate into start material), wiring width of face was large. Therefore, densification of package wiring was not able to be attained for these reasons. Although it was possible to laminate a wiring layer as a cure of densification, there was a problem in respect of cost quantity and reliability like the above-mentioned.

[0019] Although the build-up method thin-film-izing of an insulating layer and detailed-ization of a wiring layer were made is effective as a method of solving these problems, when the multilayer laminating of the wiring layer is carried out, the signal line after a two-layer eye separates from a grand solid layer, and it exists in the lower layer wiring layer bottom. Therefore, in order to prevent a cross talk with the lower layer wiring layer for adjustment of a characteristic impedance, the grand solid layer newly needed to be prepared. Since the number of laminatings increased further, this had the above problems.

[0020] Moreover, in order to enlarge signal-line width of face after a two-layer eye for characteristic-impedance adjustment and to prevent a cross talk with a lower layer wiring layer although the number of laminatings does not increase compared with the above-mentioned case in not preparing a new grand solid layer, as for the wiring design, it was complicated that delicate adjustment of wiring was needed etc.

[0021] This invention sets it as the purpose to offer the cavity down type semiconductor package which can solve an above-mentioned trouble.

[0022]

[Means for Solving the Problem] If an aspect of affairs with this invention is followed in order to attain the above-mentioned purpose, a cavity down type semiconductor package will be equipped with the metal plate with which the crevice for carrying a semiconductor chip was formed, and the insulating layer formed on a metal plate, and will be characterized by forming the one-layer wiring layer on an insulating layer.

[0023] According to this invention, by omitting the number of laminating processes sharply, reduction-ization of cost is attained and it becomes possible to offer the cavity down type semiconductor package from which the wiring design for preventing characteristic-impedance adjustment and a cross talk becomes easy. Moreover, interlaminar peeling is reduced and it becomes possible to offer a reliable cavity down type semiconductor package. Furthermore, since the crevice is formed in a metal plate, there is an advantage that members, such as a metal ring, are omissible.

[0024] A metal plate is kept desirable to a ground potential. The grand terminal and metal plate of a semiconductor chip are connected by the bonding wire still more preferably.

[0025] An insulating layer is formed with photopolymer liquid or a photopolymer film still more preferably.

[0026] Thus, if a photosensitive thin film is used, wiring width of face can be made thin and it will become possible to offer the cavity down type semiconductor package in which densification is possible.

[0027] Still more preferably, the thickness of an insulating layer is 50 micrometers or less, and wiring width of face of a wiring layer is characterized by the distance during wiring of 50 micrometers or less and a wiring layer being 50 micrometers or less.

[0028]

[Embodiments of the Invention] Below, the cavity down type semiconductor package in one of the gestalten of operation of this invention is explained. The cavity down type semiconductor package in the gestalt of this operation has the heat sink (metal plate) processed into the concave, and has the insulating layer formed in one side of the heat sink in the shape of a ring of the photopolymer (photopolymer liquid or photopolymer film). A wiring layer, the pad for solder ball mounting, and the pad for wirebonding are formed in the front face of the insulating layer by plating. The front face is protected by the solder resist except for the pad for solder ball mounting, and the pad section for wirebonding.

[0029] The signal and power supply pad of a semiconductor chip are connected to the pad section for wirebonding formed in the package surface of the wire.

[0030] The GND pad of a semiconductor chip is connected to a heat sink by the wire. The pad for solder ball mounting of GND is connected to a heat sink by the veer hole formed in the insulating layer.

[0031] Die bonding of the semiconductor chip is carried out to the crevice of a heat sink, and it is closed with a mould resin. Moreover, the ring-like dam for preventing defluxion of a mould resin is established in the circumference of the semiconductor chip mounting section.

[0032] Drawing 1 is the cross section showing the composition of the cavity down type semiconductor package in one of the gestalten of operation of this invention.

[0033] With reference to drawing, a cavity down type semiconductor package is equipped with the heat sink (metal plate) 103 in which the crevice (cavity) C for carrying a semiconductor chip was formed, and the insulating layer 121 formed on a heat sink 103, and is characterized by forming the one-layer wiring layer 119 on an insulating layer 121.

[0034] Moreover, a heat sink 103 is maintained at a ground potential. And the grand terminal and heat sink 103 of a semiconductor chip 101 are connected by the bonding wire 109.

[0035] And an insulating layer 121 is formed with photopolymer liquid or a photopolymer film.

[0036] The front face of the side which carries the semiconductor chip 101 of a heat sink 103 is chemically roughened, in order to raise adhesion with an insulating layer 121.

[0037] The insulating layer 121 is formed in the periphery section of a heat sink 103 with the photosensitive resin. Moreover, the wiring layer 119 formed by plating is formed in the front face of an insulating layer 121. The solder pad for mounting the pad for wirebonding and package for connecting a semiconductor chip 101 and a package with a wire 109 in PCB is formed in the wiring layer 119.

[0038] the signal trace which the heat sink 103 was connected with the GND pad of a semiconductor chip 101 with the wire, and was formed in the wiring layer 119 -- receiving -- good GND -- it works as a conductor Moreover, the veer 117 for connecting electrically the solder pad for GND and heat sink 103 which were formed in the wiring layer 119 is formed in an insulating layer 121.

[0039] The solder resist 115 for preventing the solder flow at the time of solder ball 105 mounting is applied to the front face of the wiring layer 119 except the wirebonding pad section and the solder-pad section.

[0040] After a semiconductor chip 101 is carried in a package, it is connected to a package by the wire 109. And the mould of the semiconductor chip 101 is carried out with a resin (mould resin) 111. The dam 113 of the shape of a ring for preventing the flow of a mould resin is established in the package.

[0041] Drawing 2 is the plan showing the relation of the semiconductor chip 101 and the wiring layer 119 in the cavity down type semiconductor package of drawing 1. Moreover, drawing 3 is the plan of the solder-pad section of a cavity down type semiconductor package.

[0042] With reference to drawing 2, signal-line 119a and power supply line 119b are contained in the wiring layer 119. Each of the terminal of a semiconductor chip 101 and the pad of the wiring layer 119 are connected by the wire 109. Moreover, the GND terminal of a semiconductor chip 101 is connected to a heat sink 103 by the wire 109.

[0043] With reference to drawing 3, a solder pad 123 is exposed by the solder-resist opening 131. Signal trace 119a is attached between solder-pad 123 comrades. Here, it is supposed that six signal trace 119a will be prepared between solder-pad 123 comrades.

[0044] Moreover, since circuit formation is performed by the galvanizing method in the gestalt of this operation to last shipment=80 / 50 micrometers being limitations when etching performs circuit formation, as performed by the conventional technology, the densification to last shipment=40 / about 40 micrometers is possible.

[0045] For example, if it assumes carrying an about 10x10mm semiconductor chip in a package, by PBGA in the gestalt of this operation, the number of I/O can be set to about 500 to the ability of the number of I/O to respond only to about 300 in PBGA in the conventional technology.

[0046] Drawing 4 is drawing for explaining the manufacturing process of the cavity down type semiconductor package in the gestalt of this operation.

[0047] First, one side of the metal plate 103 formed in the concave of press working of sheet metal is made to split-face-ize by using micro etching, roughening plating, etc., as shown in (A).

[0048] Next, as shown in (B), a photosensitive liquefied resin is applied to the front face of the split-face-ized metal plate. This forms an insulating layer 121. In addition, in formation of an insulating layer, you may stick a photopolymer sheet by pressure.

[0049] Next, a veer 117 is formed in a position, while removing the unnecessary resin in a cavity C portion by performing exposure and development, as shown in (C). DESUMIA processing is performed in order to clean the metal side of the bottom of the cavity section C and a veer 117.

[0050] Next, as shown in (D), formation of wiring and plating of a veer are performed by wiring formation processing using the well-known galvanizing methods, such as a semi additive and a full additive process.

[0051] Next, as shown in (E), in order to protect wiring, a solder resist 115 is applied to a wiring layer front face. And the excessive solder resist applied to the wirebonding pad section and the solder-pad section by exposure and development is removed.

[0052] Next, as shown in (F), the dam 113 for a mould resin is formed in a position. Thus, it becomes possible to manufacture a cavity down type semiconductor package.

[0053] Moreover, in the gestalt of above-mentioned operation although a metal plate is formed in a concave by press working of sheet metal, as shown in drawing 5, by pasting up metal sheet 103a which opened holes C1 and C2 beforehand on metal sheet 103c through resin layer 103b, the metal plate which has the cavity C as the cross-section configuration indicated to be to drawing 6 may be formed, and this may be used.

[0054] According to the semiconductor package in the gestalt of this operation, since a semiconductor chip is directly mounted in a heat sink, there is an advantage of excelling in thermolysis nature. Moreover, since a heat sink is processed into a concave, it has the advantage that the height of a semiconductor chip and the wirebonding pad section can be adjusted easily.

[0055] Moreover, the GND pad of a semiconductor chip is connected to a direct heat sink by the wire. For this reason, the wiring density of signal trace or power supply trace formed in the surface of a semiconductor package can be raised. moreover, a heat sink -- surface signal trace -- receiving -- good GND -- since it works as a conductor, the characteristic impedance of signal trace can be controlled and a cross talk noise etc. can be coped with

[0056] Furthermore, since it is thick compared with a solid layer, the thickness can make resistance of GND smaller, and a heat sink can make supply voltage descent smaller.

[0057] Furthermore, since a surface wiring layer is formed by plating, it can attain densification of wiring compared with the conventional BGA package which forms a wiring layer by etching. Therefore, it is not necessary to multilayer and also has the advantage that a manufacturing cost can be lowered.

[0058] In addition, the thickness of an insulating layer (insulating layer 121 in drawing 1) sets to 50 micrometers or less, and

wiring width of face of a wiring layer (wiring layer 119 in drawing 1) is set to 50 micrometers or less, and, as for the distance during wiring of a wiring layer, it is desirable from a viewpoint of the densification of package wiring to be referred to as 50 micrometers or less.

[0059] In addition, it should be thought that the gestalt of the operation indicated this time is [no] instantiation at points, and restrictive. The range of this invention is shown by the above-mentioned not explanation but claim, and it is meant that a claim, an equal meaning, and all change in within the limits are included.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the composition of the cavity down type semiconductor package in one of the gestalten of operation of this invention.

[Drawing 2] It is a plan for explaining connection between the semiconductor chip of the package of drawing 1 , and a wiring layer.

[Drawing 3] It is the plan showing the composition of the solder-pad section of the package of drawing 1 .

[Drawing 4] It is a cross section for explaining the manufacturing process of the package of drawing 1 .

[Drawing 5] It is a perspective diagram for explaining other formation methods of a heat sink.

[Drawing 6] It is the cross section of the heat sink manufactured according to the process of drawing 5 .

[Drawing 7] It is the cross section showing the composition of the conventional PBGA.

[Drawing 8] It is the cross section showing the composition of the conventional ball grid array integrated circuit package.

[Description of Notations]

- 101 Semiconductor Chip
- 103 Heat Sink (Metal Plate)
- 105 Solder Ball
- 107 Wirebonding Pad
- 109 Bonding Wire
- 111 Mould Resin
- 113 Dam
- 115 Solder Resist
- 117 Veer
- 119 Wiring Layer
- 121 Insulating Layer
- C Cavity (crevice)

[Translation done.]